

Cited Reference 1

CIRCUIT FOR CONTROLLING THRESHOLD VOLTAGE OF SEMICONDUCTOR DEVICE

Abstract:

PURPOSE: A circuit for controlling a threshold voltage is provided to reduce a power consumption during a stand-by mode while maintaining a high operation speed of a semiconductor device.

CONSTITUTION: The circuit for controlling a threshold voltage of a semiconductor device includes a substrate bias detection portion(11) and a substrate bias control portion(12). The substrate bias detection portion detects a substrate bias to prevent the substrate bias from going lower than a predetermined value. The substrate bias control portion controls the substrate bias in response to an output of the substrate bias detector and a stand-by/operation mode control signal. When the substrate bias is controlled, the threshold voltage is controlled accordingly. The substrate bias detection portion has an oscillator generating a predetermined oscillation frequency, a pump pumping charges for pulling down the substrate bias and a current supplier supplying a current into the substrate for increasing the substrate bias.

Brief description of Figures

Figure 1 shows a threshold voltage control circuit according to a first embodiment of the cited reference 1.

Figure 2 shows a circuit of a substrate bias control portion applied to the first embodiment.

Figure 3a and 3 b shows a voltage waveform of the substrate bias control portion.

Figure shows a circuit of a substrate bias sensor portion.

11:substrate bias sensor portion

12:substrate bias control portion

21; oscillator

22; first charge pump

23; second charge pump

24;clamping portion

41;latch

42;voltage divider

MP1; PMOS transistor

MN1;NMOS transistor

D1,D2,D3,D4; diode

VBB; substrate bias

SLEEP; standby/operation mode control signal

SSBEN; substrate bias enable signal

공고특허10-0223770

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.
 G11C 5/14
 G11C 11/407

Cited reference 1

(45) 공고일자 1999년10월15일
 (11) 등록번호 10-0223770
 (24) 등록일자 1999년07월12일

(21) 출원번호	10-1996-0026542	(65) 공개번호	특1998-0004940
(22) 출원일자	1996년06월29일	(43) 공개일자	1998년03월30일
(73) 특허권자	현대전자산업주식회사 김영환 경기도 이천시 부발읍 아미리 산 136-1		
(72) 발명자	최진국 경기도 이천시 창전동 응화빌라 다동 302호		
(74) 대리인	박해천 원석회		

심사관 : 김동원

(54) 반도체 장치의 문턱전압 제어회로

요약

본 발명은 반도체 장치의 문턱전압 제어 회로에 관한 것으로, 기판 바이어스를 감지하여 상기 기판 바이어스가 규정된 값보다 내려가는 것을 방지하는 기판 바이어스 감지부와, 상기 기판 바이어스 감지부의 출력 및 대기/동작 모드 제어 신호에 응답하여 기판 바이어스를 제어하는 기판 바이어스 제어부를 구비하여 기판 바이어스를 제어함으로써 문턱전압을 제어하는 것을 특징으로 하며, 대기모드에서는 높은 문턱전압 상태를 유지하여 낮은 기판누설 전류를 유지하고, 동작상태에서는 문턱전압을 낮은 전원전압에 걸맞게 낮춤으로서 저전력, 고속동작을 구현할 수 있는 효과가 있다.

명세서

[발명의 명칭]반도체 장치의 문턱전압 제어 회로[도면의 간단한 설명]제1도는 본 발명의 일실시예에 따른 문턱전압 제어 회로의 개념적 구성도, 제2도는 본 발명의 일실시예에 적용되는 기판 바이어스 제어부의 회로도, 제3a도 및 제3b도는 제2도에 도시된 기판 바이어스 제어부의 전압 파형도, 제4도는 본 발명의 일실시예에 적용되는 기판 바이어스 감지부의 회로 구성도.* 도면의 주요부분에 대한 부호의 설명11 : 기판 바이어스 감지부 12 : 기판 바이어스 제어부21 : 발진기 22 : 제1 전하펌프 23 : 제2 전하펌프 24 : 클립핑부41 : 래치 42 : 전압 디바이더MP1 : PMOS 트랜지스터 MN1 : NMOS 트랜지스터D1,D2,D3,D4 : 다이오드 V_{BB} : 기판 바이어스SLEEP : 대기/동작 모드 제어 신호SSBEN : 기판 바이어스 인에이를 신호[발명의 상세한 설명]본 발명은 반도체 회로 기술에 관한 것으로, 특히 반도체 장치의 문턱전압 제어회로에 관한 것이다. 최근에는 전자제품이 경량화 및 소형화되는 추세에 따라 저전력으로 고속 동작하는 반도체 장치가 요구되고 있으며, 특히 배터리(battery)로 동작되는 전자제품에서는 비동작시에 전력이 거의 소모되지 않도록 하는 설계가 요구되고 있다. 일반적으로, 반도체 장치의 공급전압을 낮추면 반도체 장치의 전력 소모를 감소시킬 수 있으며, 더불어 문턱전압을 내리게 되면 고속 동작이 가능해 진다. 따라서, 종래에는 반도체 장치의 고속 동작 및 저 전력 소모를 위하여 공급전압 및 문턱전압을 낮추는 방식이 사용되어 왔다. 그러나, 이처럼 낮은 문턱전압으로 설계된 반도체 장치는 그 동작시의 전력 소모가 줄어드는 반면, 반도체 장치의 비동작 시에 부임계전압 누설전류(subthreshold leakage current)가 증가됨으로 인하여 배터리의 수명을 단축시키는 요인이 되고 있으며, 그 대부분이 반도체 장치로 구성된 소형 전자제품에서 배터리의 수명은 제품의 품질을 결정하는 중요한 포인트가 되고 있다. 문턱전압을 낮추는 것은 반도체 장치의 고속 동작을 위해서는 거의 불가피한 사항으로, 문턱전압의 저감에 따라 증가하는 부임계전압 누설전류를 억제할 수 있는 제어 회로의 개발이 매우 필요한 현실이다. 이에, 본 발명은 반도체 장치의 동작속도를 고속으로 유지하면서 비 동작시 발생하는 전력 소모를 줄이기 위한 문턱전압 제어 회로를 제공하는 것을 그 목적으로 한다. 상기 목적을 달성하기 위하여 본 발명의 문턱전압 제어 회로는 기판 바이어스를 감지하여 상기 기판 바이어스가 규정된 값보다 내려가는 것을 방지하는 기판 바이어스 감지부와, 상기 기판 바이어스 감지부의 출력 및 대기/동작 모드 제어 신호에 응답하여 기판 바이어스를 제어하는 기판 바이어스 제어부를 구비하여, 기판 바이어스를 제어함으로써 문턱전압을 제어하는 것을 특징으로 한다. 또한, 상기 기판 바이어스 제어부는, 상기 기판 바이어스 감지부의 출력 및 상기 대기/동작 모드 제어 신호에 응답하여 소정의 발진주파수를 출력하는 발진수단; 상기 발진주파수를 입력받아 기판 바이어스를 낮추기 위해 기판상의 전하를 펌핑하는 펌핑수단; 및 상기 대기/동작 모드 제어 신호에 응답하여 기판 바이어스

를 높이기 위해 기판 내로 전류를 공급하는 전류 공급수단을 포함하여 이루어진다. 또한, 상기 기판 바이어스 감지부는, 소정의 공급전원 및 기판 바이어스 사이에 직렬로 연결되되, 각각의 제1 접합층은 기판에, 제2 접합층은 게이트에 각각 접속된 다수의 PMOS 트랜지스터로 구성된 전압 디바이더와, 임의의 상기 PMOS 트랜지스터의 상기 제1 접합층의 전압과 상기 제2 접합층의 반전된 전압을 입력으로 하는 래치수단을 포함하여 이루어진다. 본 발명은 부임계전압 누설전류를 최소화하기 위하여 반도체 장치가 동작하지 않는 동안에는 즉, 대기모드에서는 문턱전압을 높이고, 동작 모드에서는 문턱전압을 낮게 변화시켜 동작 속도를 향상시키는 문턱전압 제어 회로를 구현한 것으로, 이하 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다. 첨부된 도면 제1도는 본 발명의 일실시예에 따른 문턱전압 제어 회로의 개념적 구성을 나타낸 것이다. NMOS 트랜지스터의 문턱 전압(V_{th-n}) 제어의 예를 들어 설명하면, 우선 초기 상태에서 기판 전압 감지부(11)는 하이 레벨을 출력한다. 반도체 장치가 대기모드 상태일 때, 즉 비동작시에 대기/동작 모드 제어 신호 SLEEP는 하이 레벨이다. 이에 따라, 기판 바이어스 제어부(12)가 인에이블되어 기판 바이어스 $V_{BB-p-sub}$ (접지전압 GND과 기판의 전압차에 해당)가 통상 -2V가 될 때까지 기판으로부터 100 μ A의 전류를 펌핑한다. 결국, 기판 바이어스 $V_{BB-p-sub}$

가 OV에서 -2V로 변화하고, 이에 따라 문턱 전압이 0.3V에서 0.7V로 상승한다. 만약에 기판 바이어스 $V_{BB-p-sub}$

가 규정된 값보다 내려가면 기판 바이어스 감지부(11)은 로우 레벨 신호를 출력하여 기판 전압 제어부(12)를 디스에이블시키게 된다. 다음으로, 반도체 장치가 동작 모드 상태일 때, 대기/동작 모드 제어 신호 SLEEP은 로우 레벨이다. 이에 따라, 기판 바이어스 제어부(12)가 디스에이블되고 NMOS 트랜지스터 MN1을 통해 전류가 유입되어 기판 바이어스 $V_{BB-p-sub}$ 는 -2V에서 OV로 회복되고, 결과적으로 문턱전압도 0.7V에서 0.3V로 떨어지게 된다. PMOS 트랜지스터의 문턱전압(V_{th-p})을 제어하는 경우도 상기와 같은 원리를 통해 이루어지는데, 기판 바이어스 $V_{BB-p-well}$ (기판과 공급전압 V_{DD} 의 전압차에 해당)를 제어함으로써 문턱전압(V_{th-p})을 -0.3V 내지 -0.7V의 범위내에서 변화시킨다. 다시 말해, 문턱전압의 변화는 반도체 장치 내의 NMOS 트랜지스터 및 PMOS 트랜지스터의 기판 바이어스를 제어함으로써 이루어지며, NMOS 트랜지스터의 경우, 동작시의 기판 바이어스를 OV로 하면 문턱전압이 0.3V로 유지되다가 대기상태로 진입하면 기판 바이어스를 -2V로 하강시켜 문턱전압을 0.7V로 상승시키는 것이다. 첨부된 도면 제2도는 제1도의 기판 바이어스 제어부의 회로도로써, NMOS 트랜지스터의 문턱 전압(V_{th-n})을 제어하기 위한 구성의 일례를 보여주고 있다. 우선, 도시된 바와 같이 기판 바이어스를 제어부는 기판 바이어스 인에이블신호 SSBEN에 응답하여 전하펌프 구동시키기 위한 소정의 발진 주파수를 출력하는 발진기(21)와, 발진 주파수에 의해 구동되어 기판 바이어스를 낮추기 위해 기판전하를 펌핑하는 더블 펌핑(double pumping) 방식의 제1 및 제2 전하펌프(22, 23)를 구비하여 기판 바이어스 $V_{BB-p-sub}$ 를 낮출 수 있다. 또한, 기판 바이어스 제어부를 기판 바이어스를 높이기 위하여 기판으로 전류를 공급하는 NMOS 트랜지스터(M1)과, 대기/동작 모드 제어 신호 /SLEEP에 응답하여 NMOS 트랜지스터(M1)를 제어하는 NMOS 트랜지스터(M2)를 구비한다. 여기서, NMOS 트랜지스터(M2)는 대기/동작 모드 제어 신호 /SLEEP가 하이레벨일 때 즉, 대기모드일 때 턴온되어 NMOS 트랜지스터(M1)의 게이트 전압 V_g 를 상승시킴으로써 NMOS 트랜지스터(M1)를 턴온시키고 이로 인하여 많은 전류가 기판으로 유입되어 기판 바이어스 $V_{BB-p-sub}$ 를 상승시키는 역할을 한다. 또한, 기판 바이어스 제어부가 대기 상태일 때만 제1 전하펌프(22)와 기판을 연결시켜주는 다이오드(D1)와, NMOS 트랜지스터(M1)의 게이트 산화막이 손상되는 것을 방지하기 위한 클램핑부(24)와, 클램핑부(24)와 기판을 접속하는 NMOS 트랜지스터(M1)의 게이트 전류를 제한하기 위한 PMOS 트랜지스터(M4)와, NMOS 트랜지스터(M2)의 정상 동작을 위하여 노드 N2의 전압을 접지전압 이상이 되도록 하는 역할을 하는 PMOS 트랜지스터(M3)를 더 포함하여 구성된다. 여기서, 클램핑부(24)는 NMOS 트랜지스터(M1)의 게이트 전압 V_g 가 기판 바이어스 $V_{BB-p-sub}$ 보다 2.4V를 초과하지 않도록 다이오드 D2, D3, D4를 직렬로 연결하여 구성되어 있다. 대기모드에서 NMOS 트랜지스터(M1)를 턴-오프시키기 위하여 게이트 전압 V_g 는 기판 바이어스 $V_{BB-p-sub}$ 보다 낮아야 한다. 노드 N1의 기생 정전용량이 기판보다 훨씬 작기 때문에 각 전하펌프(22, 23)가 작동시(대기/동작 모드 제어 신호 /SLEEP이 로우레벨인 경우 기판 바이어스 인에이블신호 SSBEN에 의해 제1 전하펌프 및 제2 전하펌프(22, 23)가 가동됨) 노드 N1이 기판 바이어스 $V_{BB-p-sub}$ 보다 빨리 낮아지게 된다. 따라서, V_g 는 $V_{BB-p-sub} - 0.8V$ 가 되고 NMOS 트랜지스터(M1)는 턴오프된다. 회로의 동작모드에서는 제1 및 제2 전하펌프(22, 23)의 동작이 중지되고, /SLEEP이 하이레벨이 되면서 NMOS 트랜지스터(M2)가 턴-온되어 게이트 전압 V_g 가 상승하면서 NMOS 트랜지스터(M1)가 턴-온된다. NMOS 트랜지스터(M1)가 턴온되면 많은 전류가 기판으로 유입되어 기판 바이어스 $V_{BB-p-sub}$ 는 -2V에서 OV로 급격히 상승하게 된다. 다음으로, 제3a도는 동작모드에서 대기모드로 전환되는 경우의 기판 바이어스 제어부의 전압 파형도이고, 제3b도는 대기모드에서 동작모드로 전환되는 경우의 기판 바이어스 제어부의 전압 파형도이다. 이를 참조하면 상기한 기판 바이어스 제어부의 동작을 더욱 확실히 이해할 수 있을 것이다. 끝으로, 제4도는 제1도의 기판 바이어스 감지부의 회로 구성도로서, 상술한 바와 같이 기판 바이어스를 감지하여 기판 바이어스 V_{BB} 가 규정된 값 이하로 내려갈 경우 기판 바이어스 제어부를 디스에이블 시키는 역할을 수행한다. 우선, 공급전압 V_{DD} 와 기판 바이어스 V_{BB} 를 직렬 접속하는 다수의 PMOS 트랜지스터(P1~Pk, Pk+1~Pn)로 구성된 전압 디바이더(42)를 사용하였다. 각 트랜지스터는 다이오드 접속되어 있으며, 각각의 소오스는 기판에 연결되어 있다. 또한, 문턱전압 이하의 영역을 사용함으로서 드레인 전류가 매우 작게 흐르게 한다. 일정 전압이 전압 디바이더(42) 내의 각 트랜지스터에 일률적으로 배분되며, 여기서 PMOS 트랜지스터 Pk의 소오스와 드레인 전압을 취함으로써 DC 전달특성에 히스테리시스(hysteresis) 특성을 도입하여 노이즈(noise)에 대해 덜 민감하도록 하였다. 따라서, 제조공정이나 온도 변화에 의한 약간의 문턱전압 변동만이 발생할 뿐이다. 도면 부호 41은 래치(latch)를 나타낸 것이다. 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지

않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진자에게 있어 명백할 것이다. 상술한 바와 같이 본 발명을 실시하면 대기모드에서는 높은 문턱전압 상태를 유지하여 낮은 기판누설전류를 유지하고, 동작상태에서는 문턱전압을 낮은 전원전압에 걸맞게 낮춤으로서 저전력, 고 속동작을 구현할 수 있는 효과가 있다. 또한, 본 발명은 대기모드시 낮은 기판누설전류를 유지함으로써 고정된 문턱전압 방식의 종래의 기술과는 차별되며, 침전체의 면적과 대비하여 문턱전압 제어 회로가 점유하는 면적이 극소한 뿐 아니라, 반도체 장치의 고집적화 추세에 따라 그 점유면적은 점차 무실될만 한 것이 될 것이므로 레이아웃 측면에서 별다른 문제점이 없다.

(57) 청구의 범위

청구항1

기판 바이어스를 감지하여 상기 기판 바이어스가 규정된 값보다 내려가는 것을 방지하는 기판 바이어스 감지부와, 상기 기판 바이어스 감지부의 출력 및 대기/동작 모드 제어 신호에 응답하여 기판 바이어스를 제어하는 기판 바이어스 제어부를 구비하여, 기판 바이어스를 제어함으로써 문턱전압을 제어하는 것을 특징으로 하는 반도체 장치의 문턱전압 제어 회로.

청구항2

제1항에 있어서, 상기 기판 바이어스 제어부는 상기 기판 바이어스 감지부의 출력 및 상기 대기/동작 모드 제어 신호에 응답하여 소정의 발진주파수를 출력하는 발진수단; 상기 발진주파수를 입력받아 기판 바이어스를 낮추기 위해 기판상의 전하를 펌핑하는 펌핑수단; 및 상기 대기/동작 모드 제어 신호에 응답하여 기판 바이어스를 높이기 위해 기판내로 전류를 공급하는 전류 공급수단을 포함하여 이루어진 반도체 장치의 문턱전압 제어 회로.

청구항3

제1항 또는 제2항에 있어서, 상기 기판 바이어스 감지부는 소정의 공급전원 및 기판 바이어스 사이에 직렬로 연결되되, 각각의 제1 접합층은 기판에, 제2 접합층은 게이트에 각각 접속된 다수의 PMOS 트랜지스터로 구성된 전압 디바이더와, 임의의 상기 PMOS 트랜지스터의 상기 제1 접합층의 전압과 상기 제2 접합층의 반전된 전압을 입력으로 하는 래치수단을 포함하여 이루어진 반도체 장치의 문턱전압 제어 회로.

청구항4

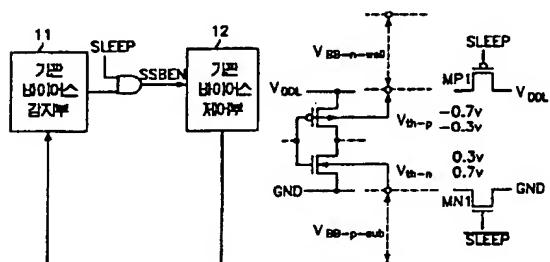
제2항에 있어서, 상기 기판 바이어스 제어부는 상기 전류 공급수단에 과전압이 인가되는 것을 방지하기 위한 클램핑수단을 더 포함하여 이루어진 반도체 장치의 문턱전압 제어 회로.

청구항5

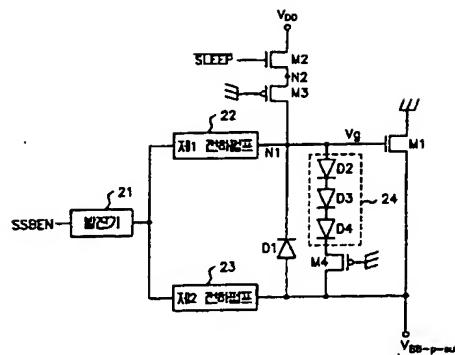
제2항 또는 제4항에 있어서, 상기 전류 공급수단은 상기 기판과 접지전원을 접속하는 NMOS 트랜지스터를 포함하여 이루어진 반도체 장치의 문턱전압 제어 회로.

도면

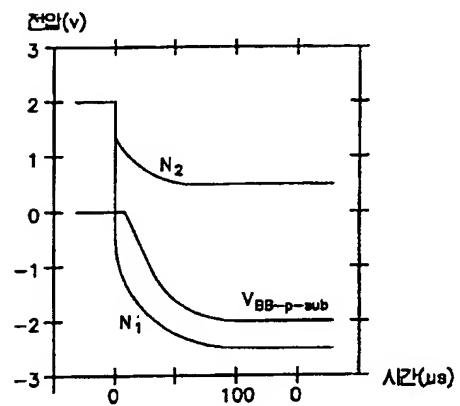
도면1



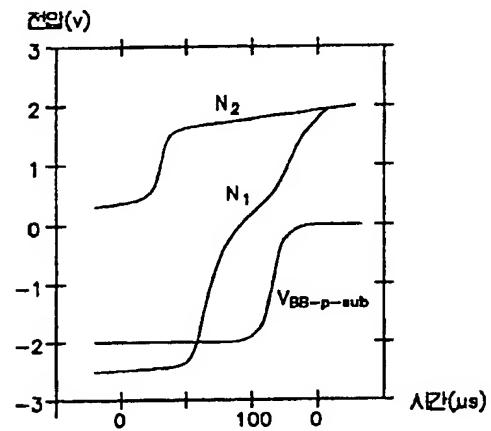
도면2



도면3a



도면3b



도면4

